



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10209918 A**(43) Date of publication of application: **07 . 08 . 98**

(51) Int. Cl.

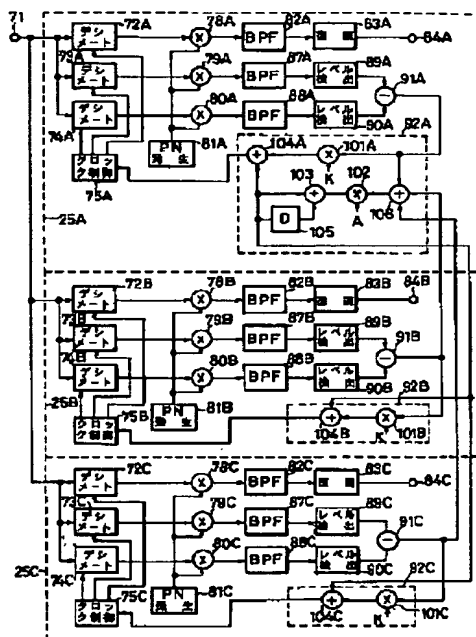
**H04B 1/707**  
**H04B 1/40**(21) Application number: **09008920**(22) Date of filing: **21 . 01 . 97**(71) Applicant: **SONY CORP**(72) Inventor: **IWASAKI JUN****(54) RECEPTION EQUIPMENT AND TERMINAL  
EQUIPMENT FOR PORTABLE TELEPHONE  
SYSTEM**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To reduce the circuit scale of loop filter in the delay locked loop(DLL) of each finger at a RAKE system receiver.

**SOLUTION:** At respective fingers 25A, 25B and 25C, the synchronous tracking of PN phase based on the deviation of frequency is performed by the DLL. The secondary loop filter part at loop filters 92A, 92B and 92C of respective fingers 25A, 25B and 25C is shared by the respective fingers 25A, 25B and 25C. Most of factors of frequency deviation are caused by a Doppler effect and since the similar frequency error occurs on all the paths in case caused by the Doppler effect, by commonly using the secondary loop filter part of loop filters storing frequency error components caused by the Doppler effect among the respective fingers 25A, 25B and 25C, the circuit scale can be reduced.

COPYRIGHT: (C)1998,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-209918

(43)公開日 平成10年(1998) 8月7日

(51)Int.Cl.<sup>8</sup>

H 0 4 B 1/707  
1/40

識別記号

F I

H 0 4 J 13/00  
H 0 4 B 1/40

D

審査請求 未請求 請求項の数6 O L (全 10 頁)

(21)出願番号

特願平9-8920

(22)出願日

平成9年(1997) 1月21日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 岩崎 潤

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

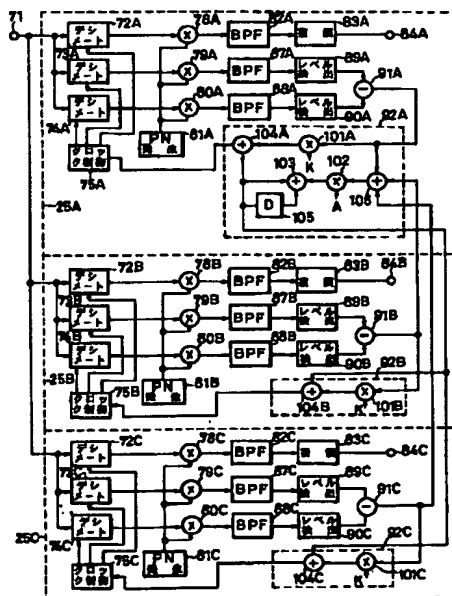
(74)代理人 弁理士 杉浦 正知

(54)【発明の名称】 受信装置及び携帯電話システムの端末装置

(57)【要約】

RAKE方式の受信機で、各フィンガのDLLのループフィルタの回路規模の削減が図れるようにする。

【解決手段】 各フィンガ25A、25B、25Cでは、DLLにより、周波数のずれによるPN位相の同期追跡が行われている。各フィンガ25A、25B、25Cのループフィルタ92A、92B、92Cにおける2次ループフィルタ部は、各フィンガ25A、25B、25Cで共用される。周波数ずれの要因は、殆どドップラ効果によるものであり、ドップラ効果による場合には、全てのパスに対して同様の周波数誤差を生じさせるので、ドップラ効果による周波数誤差成分を蓄えるループフィルタの2次ループフィルタ部を各フィンガ25A、25B、25Cで共通して用いることにより、回路規模の削減が図れる。



## 【特許請求の範囲】

【請求項1】 拡散符号によりスペクトラム拡散された信号を受信する受信装置において、

マルチパスとなっている受信信号から個々のパスを検索するサーチと、

上記検索されたパスの夫々の受信信号を逆拡散してデータを復調する複数のフィンガと、

上記複数のフィンガの出力を合成するコンバイナとを備え、

上記各フィンガは、同期追跡を行うDLLを含み、上記DLLのループフィルタを上記複数のフィンガで共用するようにしたことを特徴とする受信装置。

【請求項2】 上記ループフィルタは、完全積分型2次ループフィルタである請求項1記載の受信装置。

【請求項3】 上記ループフィルタは、完全積分型2次ループフィルタであり、上記完全積分型2次ループフィルタの2次ループフィルタ部を上記複数のフィンガのループフィルタで共用するようにした請求項1記載の受信装置。

【請求項4】 拡散符号により送信信号をスペクトラム拡散して送信し、拡散符号の符号系列のパターンや位相を異ならせることにより、多次元接続を可能にした携帯電話システムの端末装置において、

マルチパスとなっている受信信号から個々のパスを検索するサーチと、

上記検索されたパスの夫々の受信信号を逆拡散してデータを復調する複数のフィンガと、

上記複数のフィンガの出力を合成するコンバイナとを備え、

上記各フィンガは、同期追跡を行うDLLを含み、上記DLLのループフィルタを上記複数のフィンガで共用するようにした携帯電話システムの端末装置。

【請求項5】 上記ループフィルタは、完全積分型2次ループフィルタである請求項4記載の携帯電話システムの端末装置。

【請求項6】 上記ループフィルタは、完全積分型2次ループフィルタであり、上記完全積分型2次ループフィルタの2次ループフィルタ部を上記複数のフィンガのループフィルタで共用するようにした請求項4記載の携帯電話システムの端末装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、CDMA (Code Division Multiple Access) 方式のセルラ電話システムに用いて好適な受信装置及び携帯電話システムの端末装置に関する。

## 【0002】

【従来の技術】 近年、擬似ランダム符号を拡散符号として用いて送信信号の搬送波をスペクトラム拡散して送信し、拡散符号の符号系列のパターンや位相を異ならせる

ことにより、多次元接続を可能にしたCDMA方式のセルラ電話システムが注目されている。

【0003】 CDMA方式では、通信方式として、スペクトラム拡散方式が用いられている。スペクトラム拡散方式では、送信時に、搬送波が送信データにより変調されると共に、搬送波に対してPN (Pseudorandom Noise) 符号が乗じられ、搬送波がPN符号により変調される。変調方式としては、例えば、BQPSK変調が用いられる。PN符号はランダム符号であるから、このように搬送波がPN符号により変調を受けると、その周波数スペクトラムが広げられる。

【0004】 そして、受信時には、送信側と同一のPN符号が乗じられる。受信時に、送信時と同一のPN符号で、その位相が合致していると、逆拡散が行われ、変調出力が得られる。この変調出力を復調することにより、受信データが得られる。

【0005】 スペクトラム拡散方式では、受信時に信号を逆拡散するためには、そのパターンのみならず、その位相についても、送信側と同一のPN符号が必要がある。したがって、PN符号のパターンや位相を変えることにより、多次元接続が可能となる。このように、拡散符号の符号系列のパターンや位相を異ならせることにより多次元接続を可能にしたものがCDMA方式と呼ばれている。

【0006】 セルラ電話システムとして、従来より、FDMA (Frequency Division Multiple Access) 方式やTDMA (Time Division Multiple Access) 方式が用いられている。ところが、FDMA方式やTDMA方式では、利用者数の急激な増大に対して対処することが困難になってきている。

【0007】 つまり、FDMA方式は、異なる周波数のチャンネルを用いて多次元接続を行うものであり、アナログ方式のセルラ電話システムでは、専ら、FDMA方式が用いられている。

【0008】 ところが、FDMA方式では、周波数利用効率が悪く、利用者数の急激な増大に対して、チャンネル数が不足しがちである。チャンネル数を増大するために、チャンネル間隔を狭くすると、隣接チャンネルの影響を受けやすくなったり、音質の劣化が生じる。

【0009】 TDMA方式は、送信データを時間圧縮することにより、利用時間を分割し、同一の周波数を共有するようにしたもので、TDMA方式は、ディジタル方式のセルラ電話システムとして、現在、広く普及している。TDMA方式は、FDMA方式だけの場合に比べて、周波数利用効率が改善されるものの、チャンネル数には限界があり、利用者の急激な増大とともに、チャンネル数の不足が危惧されている。

【0010】 これに対して、CDMA方式では、耐干渉性が優れており、隣接チャンネルの影響を受けにくい。このため、周波数利用効率が上がり、より多チャンネル

化が図れる。

【0011】また、FDAM方式やTDMA方式では、マルチパスによるフェージングの影響を受けやすい。

【0012】つまり、図5に示すように、基地局201から携帯端末202に届く信号には、基地局201からの電波が携帯端末202に直接届くパスP1の他に、基地局201からの電波がビル203Aを反射して携帯端末202に届くパスP2や、基地局201からの電波がビル203Bを反射して携帯端末202に届くパスP3等、複数のパスがある。

【0013】基地局201からの電波が携帯端末202に直接届くパスP1に比べて、基地局201からの電波がビル203Aや203Bを反射して携帯端末202に届くパスP2及びP3は遅れが生じる。したがって、図6に示すように、携帯端末102には、異なるタイミングでパスP1からの信号S1、パスP2からの信号S2、パスP3からの信号S3が到達する。これら、複数のパスP1、P2、P3からの信号S1、S2、S3が干渉し合うと、フェージングが発生する。FDAM方式やTDMA方式では、このようなマルチパスによるフェージングの影響が問題となっている。

【0014】これに対して、CDMA方式では、ダイバシティRAKE方式を採用することにより、マルチパスによるフェージングの影響を軽減できると共に、S/N比の向上を図ることができる。

【0015】ダイバシティRAKE方式では、上述のような複数のパスの信号S1、S2、S3に対して、図7に示すように、複数のパスからの信号を夫々受信できる受信機221A、221B、221Cが用意される。そして、タイミング検出器222で、各パスにおける符号が捕捉され、この符号が各パスP1、P2、P3の受信機221A、221B、221Cに設定される。複数の受信機221A、221B、221Cにより、複数のパスP1、P2、P3の信号が夫々復調され、これらの受信出力が合成回路222で合成される。

【0016】スペクトラム拡散方式では、各パスによる干渉を受けずらい。そして、このように、複数のパスP1、P2、P3からの受信出力を夫々復調し、これら複数のパスからの復調出力を合成すれば、信号強度が大きくなり、S/N比の向上が図れると共に、マルチパスによるフェージングの影響が軽減できる。

【0017】上述の例では、説明のために、3つの受信機221A、221B、221Cと、タイミング検出器222とによりダイバシティRAKE方式の構成を示したが、ダイバシティRAKE方式のセルラ電話端末では、通常、図8に示すように、各パスの復調出力を得るためのフィンガ251A、251B、251Cと、マルチパスの信号を検索するためのサーチチャ252と、各パスの復調データを合成するためのデータコンバイナ253とが設けられる。

【0018】図8において、入力端子250に、中間周波数に変換されたスペクトラム拡散信号の受信信号が供給される。この信号が準同期検波回路255に供給される。準同期検波回路255は乗算回路で、準同期検波回路255で、入力端子250からの信号とPLLシンセサイザ256の出力とが乗算される。PLLシンセサイザ256の出力は、周波数コンバイナ257の出力により制御され、準同期検波回路255で受信信号が直交検波される。

10 【0019】準同期検波回路255の出力は、A/Dコンバータ258に供給される。A/Dコンバータ258で、この信号がデジタル信号に変換される。A/Dコンバータ258の出力は、フィンガ251A、251B、251Cに供給されると共に、サーチチャ252に供給される。フィンガ251A、251B、251Cは、各パスにおける信号を逆拡散し、同期追跡し、データを復調すると共に、周波数誤差を検出するものである。

20 【0020】サーチチャ252は、受信信号の符号を捕捉し、フィンガ251A、251B、251Cに設定する各パスの符号を決定するものである。すなわち、サーチチャ252は、受信信号にPN符号を乗算して逆拡散を行う逆拡散回路を備えている。そして、コントローラ258の制御の基に、PN符号の位相を動かし、受信信号との相関を求める。この設定された符号と受信信号との相関により、各パスの符号が決定される。

30 【0021】サーチチャ252の出力がコントローラ258に供給される。コントローラ258は、サーチチャ252の出力に基づいて、各フィンガ251A、251B、251Cに対するPN符号の位相を設定する。フィンガ251A、251B、251Cは、これに基づいて、PN符号の位相を設定し、受信信号の逆拡散を行い、そして、各パスにおける受信信号を復調する。

40 【0022】フィンガ251A、251B、251Cで復調されたデータは、データコンバイナ253に供給される。データコンバイナ253で、各パスの受信信号が合成される。この合成された信号が出力端子259から出力される。

50 【0023】また、フィンガ251A、251B、251Cで、周波数誤差が検出される。この周波数誤差が周波数コンバイナ257に供給される。この周波数コンバイナ257の出力により、PLLシンセサイザ256の発振周波数が制御される。

【0024】図8に示すように、RAKE方式の受信機においては、複数のフィンガ251A、251B、251Cが設けられ、各フィンガ251A、251B、251Cで各パスの受信信号が復調される。この各フィンガ251A、251B、251Cには、図9に示すように、受信信号の変動を同期追跡のためのDLL (Delay Locked Loop) が設けられている。

【0025】図9において、入力端子301に受信信号

が供給され、この受信信号が乗算回路302に供給されると共に、乗算回路303及び304に供給される。乗算回路302には、PN符号発生回路305の出力が遅延回路306を介して供給される。乗算回路303には、PN符号発生回路305の出力が供給される。乗算回路304には、PN符号発生回路305の出力が遅延回路306及び307を介して供給される。PN符号発生回路305からは、送信側で拡散したのと同様のPN符号が発生される。遅延回路306及び307は、夫々、1/2チップの遅延量を有している。

【0026】乗算回路302の出力がバンドパスフィルタ308を介して復調回路309に供給される。乗算回路302により、入力端子301からの受信信号と、遅延回路306を介されたPN符号発生回路305の出力とが乗算される。受信信号とPN符号のパターン及び位相が合致していれば、乗算回路302からは逆拡散出力が得られる。この乗算回路302の出力がバンドパスフィルタ308を介して復調回路309に供給される。復調回路309で受信信号が復調される。この復調データが出力端子310から出力される。

【0027】乗算回路303により、入力端子301からの受信信号と、PN符号発生回路305の出力とが乗算される。乗算回路304により、入力端子301からの受信信号と、遅延回路306、307を介されたPN符号発生回路305の出力とが乗算される。

【0028】乗算回路303には、PN符号発生回路305の出力がそのまま供給され、乗算回路304には、PN符号発生回路305の出力が遅延回路306、307を介して1チップ分遅延されて供給されている。乗算回路302には、PN符号発生回路305の出力が遅延回路306を介して1/2チップ分遅延されて供給されている。したがって、乗算回路302からの逆拡散出力をセンタ位相とすると、乗算回路302及び303の逆拡散出力は、夫々、1/2チップ分位相が進んだ出力及び1/2チップ分位相が遅れた出力となる。

【0029】乗算回路303及び304の出力は、DLLを形成するために、バンドパスフィルタ311及び312を夫々介して、レベル検出回路313及び314に夫々供給される。レベル検出回路313及び314からは、1/2チップ進んだ及び遅れた位相の逆拡散出力レベルが得られる。レベル検出回路313及び314の出力が減算回路315に供給される。

【0030】減算回路315で、1/2チップ位相の進んだ逆拡散出力レベルと、1/2チップ位相の遅れた逆拡散出力レベルとが比較される。この比較出力は、ループフィルタ316を介して、PN符号発生回路305に供給される。このループフィルタ316を介された比較出力により、PN符号発生回路305から発生されるPN符号の位相が制御される。このようなDLL制御により、1/2チップの精度で、PN符号の位相が追跡制御

される。

【0031】上述のように、従来のフィンガ251A、251B、251Cには、1/2チップ位相の進んだ及び位相の遅れた逆拡散出力を得、この1/2チップ位相の進んだ逆拡散レベルと1/2チップ位相の遅れた逆拡散レベルとを比較し、この比較出力によりPN符号の位相を制御するようにしたDLLが設けられている。そして、このDLLのループには、ループフィルタ316が設けられている。

10 【0032】従来、ループフィルタ316としては、例えば、完全積分型2次ループフィルタが用いられている。完全積分型2次ループフィルタは、図10に示すように、乗算回路351からなる1次ループフィルタ部と、乗算回路352、加算回路353、遅延回路355からなる2次ループフィルタ部と、1次ループフィルタ部の出力と2次ループフィルタ部の出力とを加算する加算回路354とから構成される。

【0033】

【発明が解決しようとする課題】従来のRAKE方式の携帯電話端末では、上述のように、複数（例えば3つ）のフィンガ251A、251B、251Cが設けられており、各フィンガ251A、251B、251Cは同期追跡のためのDLLを有している。そして、各DLLには、図10に示したようなループフィルタ316が配置されている。このため、従来のRAKE方式の携帯電話端末では、回路規模が増大するという問題が生じている。

【0034】したがって、この発明の目的は、各フィンガのDLLのループフィルタの回路規模の削減を図れるようにした受信装置及び携帯電話システムの端末装置を提供することにある。

【0035】

【課題を解決するための手段】この発明は、拡散符号によりスペクトラム拡散された信号を受信する受信装置において、マルチパスとなっている受信信号から個々のパスを検索するサーチと、検索されたパスの夫々の受信信号を逆拡散してデータを復調する複数のフィンガと、複数のフィンガの出力を合成するコンバイナとを備え、各フィンガは、同期追跡を行うDLLを含み、DLLのループフィルタを複数のフィンガで共用するようにしたことを特徴とする受信装置である。

【0036】この発明は、拡散符号により送信信号をスペクトラム拡散して送信し、拡散符号の符号系列のパターンや位相を異ならせることにより、多次元接続を可能にした携帯電話システムの端末装置において、マルチパスとなっている受信信号から個々のパスを検索するサーチと、検索されたパスの夫々の受信信号を逆拡散してデータを復調する複数のフィンガと、複数のフィンガの出力を合成するコンバイナとを備え、各フィンガは、同期追跡を行うDLLを含み、DLLのループフィルタを

複数のフィンガで共用するようにした携帯電話システムの端末装置である。

【0037】各フィンガでは、DLLにより、周波数のずれによるPN位相の同期追跡が行われている。周波数ずれの要因としては、発振器の誤差やドップラ効果によるもの等が考えられる。発振器の誤差は、初期の引込み状態では起こるが、ロック時に補正されれば、1次ループフィルタで十分補正できる。したがって、引込み時以降に補正しなければならない周波数ずれの要因は、殆ど、ドップラ効果によるものである。ドップラ効果による場合には、全てのパスに対して、同様の周波数誤差を生じさせるので、ドップラ効果による周波数誤差成分を蓄えるループフィルタの2次ループフィルタ部は、各フィンガで共通に用いることができる。各フィンガのループフィルタの2次ループフィルタ部を共通化することで、回路規模の削減が図れる。

【0038】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1は、この発明が適用できるCDMA方式のセルラ電話システムの携帯端末の一例を示すものである。この携帯端末では、受信方式として、複数のパスからの信号を同時に受信し、これらを合成するようにしたダイバシティRAKE方式が採用されている。

【0039】図1において、送信時には、マイクロホン1に音声信号が入力される。この音声信号は、A/Dコンバータ2に供給され、A/Dコンバータ2によりアナログ音声信号がデジタル音声信号に変換される。A/Dコンバータ2の出力が音声圧縮回路3に供給される。

【0040】音声圧縮回路3は、デジタル音声信号を圧縮符号化するものである。圧縮符号化方式としては、種々のものが提案されているが、例えばQCELP (Qualcomm Code Excited Linear Coding) のような、話者の声の性質や、通信路の混雑状況により、複数の符号化速度が選択できるものを用いることができる。QCELPでは、話者の声の性質や通信路の混雑状況によって4通りの符号化速度 (9.6 kbps、4.8 kbps、2.4 kbps、1.2 kbps) が選択でき、通話品質を保つのに最低限の速度で符号化が行えるようになっている。勿論、音声圧縮方式は、これに限定されるものではない。

【0041】音声圧縮回路3の出力が畳込み符号化回路4に供給される。畳込み符号化回路4により、送信データに対して、畳込み符号のエラー訂正コードが付加される。畳込み符号化回路4の出力がインターリーブ回路5に供給される。インターリーブ回路5により、送信データがインターリーブされる。インターリーブ回路5の出力がスペクトラム拡散回路6に供給される。

【0042】スペクトラム拡散回路6により、搬送波が変調されると共に、PN符号で拡散される。すなわち、

例えばBQPSK変調により、送信データの変調が行われると共に、PN符号が乗じられる。PN符号はランダム符号であるから、このようにPN符号を乗じると、搬送波の周波数帯域が広げられ、スペクトラム拡散が行われる。なお、送信データの変調方式としては、例えばBQPSK変調を用いられているが、種々のものが提案されており、他の変調方式を用いるようにしても良い。

【0043】スペクトラム拡散回路6の出力は、バンドパスフィルタ7を介して、D/Aコンバータ8に供給される。D/Aコンバータ8の出力がRF回路9に供給される。

【0044】RF回路9には、PLLシンセサイザ11から局部発振信号が供給される。RF回路9により、D/Aコンバータ8の出力とPLLシンセサイザ11からの局部発振信号とが乗じられ、送信信号の周波数が所定の周波数に変換される。RF回路9の出力が送信アンテナ12に供給され、電力増幅された後、アンテナ12に供給される。そして、アンテナ12からの電波が基地局に向けて送られる。

【0045】受信時には、基地局からの電波がアンテナ12により受信される。この基地局からの電波は、建物等の反射を受けるため、マルチパスを形成して、携帯端末のアンテナ12に到達する。また、携帯端末を自動車等で使用する場合には、ドップラ効果により、受信信号の周波数が変化することがある。

【0046】アンテナ12からの受信出力は、RF回路20に供給される。RF回路20には、PLLシンセサイザ11から局部発振信号が供給される。RF回路20により、受信信号が所定周波数の中間周波数信号に変換される。

【0047】RF回路20の出力が中間周波回路21を介して、準同期検波回路22に供給される。準同期検波回路22には、PLLシンセサイザ23の出力が供給される。PLLシンセサイザ23からの出力信号の周波数は、周波数コンバイナ32の出力により制御されている。準同期検波回路22により、受信信号が直交検波される。

【0048】準同期検波回路22の出力は、A/Dコンバータ24に供給される。A/Dコンバータ24により、準同期検波回路22の出力がデジタル化される。このとき、A/Dコンバータ24のサンプリング周波数は、スペクトラム拡散に使われているPN符号の周波数よりも高い周波数に設定されており、所謂オーバーサンプリングとされている。A/Dコンバータ24の出力がフィンガ25A、25B、25Cに供給されると共に、サーチャ28に供給される。

【0049】前述したように、受信時には、マルチパスの信号が受信される。フィンガ25A、25B、25Cは、夫々、これらマルチパスの受信信号にPN符号を乗算して逆拡散を行い、逆拡散出力からデータを復調す

る。更に、フィンガ25A、25B、25Cからは、各バスでの受信信号レベルと、各バスでの周波数誤差が出力される。

【0050】サーチャ28は、受信信号の符号を捕捉し、フィンガ25A、25B、25Cに設定する各バスの符号を決定するものである。すなわち、サーチャ28は、受信信号にPN符号を乗算して逆拡散を行う逆拡散回路を備えている。そして、コントローラ29の制御の基に、PN符号の位相を動かし、受信信号との相関を求める。この設定された符号と受信信号との相関値により、各バスの符号が決定される。コントローラ29により決定された符号がフィンガ25A、25B、25Cに設定される。

【0051】フィンガ25A、25B、25Cにより復調された各バスの受信データは、データコンバイナ30に供給される。データコンバイナ30により、各バスの受信データが合成される。このデータコンバイナ30の出力がAGC回路33に供給される。

【0052】また、フィンガ25A、25B、25Cにより、各バスにおける信号強度が求められる。フィンガ25A、25B、25Cからの各バスにおける信号強度は、RSSI (Received Signal Strength Indicator) コンバイナ31に供給される。RSSIコンバイナ31により、各バスにおける信号強度が合成される。このRSSIコンバイナ31の出力がAGC回路33に供給され、受信データの信号レベルが一定となるように、AGC回路33のゲインが制御される。

【0053】また、フィンガ25A、25B、25Cからの各バスにおける周波数誤差が周波数コンバイナ32に供給される。周波数コンバイナ32により、各バスにおける周波数誤差が合成される。この周波数コンバイナ32の出力がPLLシンセサイザ11及び23に供給され、周波数誤差に応じて、PLLシンセサイザ11及び23の周波数が制御される。

【0054】AGC回路33の出力がデインターリーブ回路34に供給される。デインターリーブ回路34により、送信側のインターリーブに対応して、受信データがデインターリーブされる。デインターリーブ回路34の出力がビタビ復号回路35に供給される。ビタビ復号回路35は、軟判定と最尤復号とにより、畳込み符号を復号するものである。ビタビ復号回路35により、エラー訂正処理が行われる。このビタビ復号回路35の出力が音声伸長回路36に供給される。

【0055】音声伸長回路36により、例えばQCELPにより圧縮符号化されて送られてきた音声信号が伸長され、デジタル音声信号が復号される。このデジタル音声信号がD/Aコンバータ37に供給される。D/Aコンバータ37によりデジタル音声信号がアナログ音声信号に戻される。このアナログ音声信号がスピーカ38に供給される。

【0056】図2は、この発明が適用された携帯電話端末におけるフィンガ25A、25B、25Cの構成を示すものである。図2において、入力端子71に、A/Dコンバータ24 (図1) からのデジタル信号が供給される。A/Dコンバータ24のサンプリング周波数は、PN符号の周波数よりも高い周波数とされており、オーバーサンプリングとなっている。この入力端子71からのデジタル信号がフィンガ25A、25B、25C (破線で囲んで示す) に供給される。

10 【0057】フィンガ25Aにおいて、入力端子71からの信号は、デシメート回路72A、73A、74Aに供給される。デシメート回路72A、73A、74Aには、クロック制御回路75Aからクロックが供給される。このクロック制御回路75Aからデシメート回路72A、73A、74Aに供給されるクロックは、デシメート回路72Aに供給されるクロックの位相をセンタとすると、デシメート回路73Bには1/2チップ位相の進んだクロックが供給され、デシメート回路74Cには1/2チップ位相が遅れたクロックが供給される。

20 【0058】デシメート回路72A、73A、74Aの出力が乗算回路78A、79A、80Aに夫々供給される。乗算回路78A、79A、80Aには、PN符号発生回路81AからのPN符号が供給される。PN符号発生回路81Aからは、送信側で拡散したのと同様なPN符号が発生される。

30 【0059】乗算回路78Aにより、デシメート回路72Aの出力とPN符号発生回路81Aの出力とが乗算される。受信信号とPN符号発生回路81Aからの符号のパターン及び位相が合致していれば、乗算回路78Aからは逆拡散出力が得られる。この乗算回路78Aの出力がバンドパスフィルタ82Aを介して復調回路83Aに供給される。復調回路83Aで受信信号が復調され、復調回路83Aからは、復調データが出力される。この復調データが出力端子84Aから出力される。

40 【0060】乗算回路79A及び80Aにより、デシメート回路73A及び74Aの出力とPN符号発生回路81Aの出力とが乗算される。乗算回路79A及び80Aにより、1/2チップ進んだ及び遅れた位相の受信信号と、PN符号発生回路81Aの符号とが乗算され、1/2チップ進んだ及び遅れた位相の逆拡散出力が得られる。この乗算回路79A及び80Aの出力は、DLLを構成するのに用いられる。

50 【0061】乗算回路79A及び80Aの出力は、バンドパスフィルタ87A及び88Aを夫々介して、レベル検出回路89A及び90Aに夫々供給される。レベル検出回路89A及び90Aからは、1/2チップ進んだ及び遅れた位相の逆拡散出力レベルが得られる。レベル検出回路89A及び90Aの出力が減算回路91Aに供給される。

【0062】減算回路91Aで、1/2チップ進んだ位

相の逆拡散出力レベルと、 $1/2$ チップ遅れた位相の逆拡散出力レベルとが比較される。この比較出力は、破線で囲んで示すループフィルタ92Aに供給される。ループフィルタ92Aの出力がクロック制御回路75Aに供給される。このループフィルタ92Aを介された減算回路91Aの出力により、クロック制御回路75Aからデシメート回路72A~74Aに与えられるデシメート用のクロックが制御される。

【0063】すなわち、例えば、図3Aに示すように、A/Dコンバータ24で8倍のオーバーサンプリングをしたとすると、デシメート回路72A~74Aで $1/8$ にデシメートする場合、図4Bに示すように、デシメート回路72A~74Aからは、8サンプル毎に信号が出力される。

【0064】ループフィルタ92Aを介された減算回路91Aの出力から、今までのタイミングでは遅過ぎると判断されるような場合には、8サンプルおきに出力していたタイミングが、図3Cに示すように、7サンプルおきに出力されるように制御される。これにより、位相が進められたことになる。今までのタイミングでは早過ぎると判断されるような場合には、8サンプルおきに出力していたタイミングが、図3Dに示すように、9サンプルおきに出力されるように制御される。これにより、位相が遅れたことになる。

【0065】図2において、他のフィンガ25B、25Cについては、フィンガ25Aと基本的には同様に構成される。すなわち、フィンガ25Bにおいては、乗算回路78Bで受信信号が逆拡散され、復調回路83Bで受信データが復調される。また、レベル検出回路89B及び90Bで、 $1/2$ チップ位相の遅れた及び位相の進んだ逆拡散出力レベルが検出され、この $1/2$ チップ位相の遅れた及び位相の進んだ逆拡散出力レベルが減算回路91Bで比較される。この比較出力がループフィルタ92Bを介して、クロック制御回路75Bに供給される。

【0066】フィンガ25Cにおいては、乗算回路78Cで受信信号が逆拡散され、復調回路83Cで受信データが復調される。また、レベル検出回路89C及び90Cで、 $1/2$ チップ位相の遅れた及び位相の進んだ逆拡散出力レベルが検出され、この $1/2$ チップ位相の遅れた及び位相の進んだ逆拡散出力レベルが減算回路91Cで比較される。この比較出力がループフィルタ92Cを介して、クロック制御回路75Cに供給される。

【0067】フィンガ25Aと、フィンガ25B及び25Cとは、基本的には同様の構成とされているが、ループフィルタの構成については異なっている。これは、回路規模の削減を図るために、共通化できる部分については、各フィンガ25A、25B、25Cのループフィルタで共通化したためである。

【0068】つまり、ループフィルタとしては、完全積分型2次ループフィルタが用いられる。完全積分型2次

ループフィルタは、1次ループフィルタ部と2次ループフィルタ部とからなる。

【0069】フィンガ25A、25B、25Cでは、DLLループにより、同期追跡が行われている。周波数ずれの要因としては、発振器の誤差やドップラ効果によるもの等が考えられるが、発振器の誤差は、初期の引込み状態では起こるが、ロック時に補正されれば、1次ループフィルタで十分補正できる。したがって、引込み時以降に補正しなければならない周波数ずれの要因は、殆ど、ドップラ効果によるものである。ドップラ効果による周波数ずれの場合には、全てのパスに対して同様の周波数誤差を生じさせ、ドップラ効果による周波数誤差成分は2次ループフィルタに蓄積される。したがって、ループフィルタの2次ループフィルタ部は、各フィンガ25A、25B、25Cで共通化することができる。

【0070】つまり、図2において、フィンガ25Aのループフィルタ92Aは、1次ループフィルタを構成する係数Kの乗算回路101Aと、2次ループフィルタ部を構成する係数Aの乗算回路102、加算回路103、遅延回路105と、1次ループフィルタの出力と2次ループフィルタの出力を合成する加算回路104Aとから構成されている。更に、フィンガ25B、25Cのループフィルタの2次ループフィルタ部を共通化するための加算回路106が設けられる。

【0071】減算回路91Aの出力は、乗算回路101Aに供給されると共に、加算回路106に供給される。乗算回路101Aには、係数Kが供給される。乗算回路101Aにより、減算回路91Aの出力に係数Kが乗じられる。乗算回路101Aの出力が加算回路104Aに供給される。

【0072】加算回路106の出力が乗算回路102に供給される。乗算回路102により、加算回路106の出力に係数Aが乗じられる。乗算回路102の出力が加算回路103に供給される。加算回路103の出力が加算回路104Aに供給されると共に、遅延回路105を介して加算回路103に帰還される。

【0073】加算回路104Aにより、乗算回路101Aを介された1次ループフィルタの信号と、乗算回路102、加算回路103、遅延回路105を介された2次ループフィルタ部の信号とが加算される。加算回路104Aの出力がクロック制御回路75Aに供給される。

【0074】フィンガ25B、25Cのループフィルタ92B、92Cは、夫々、1次ループフィルタを構成する係数Kの乗算回路101B、101Cと、1次ループフィルタの出力と、フィンガ25Aのループフィルタ92Aの2次ループフィルタの出力とを加算する加算回路104B、104Cとから構成されている。

【0075】フィンガ25Bにおける減算回路91Bの出力は、乗算回路101Bに供給されると共に、フィン



が25Aのループフィルタ92Aの加算回路106に供給される。乗算回路101Bには、係数Kが供給される。乗算回路101Bの出力が加算回路104Bに供給される。加算回路104Bには、フィンガ25Aのループフィルタ92Aの遅延回路105の出力が供給される。

【0076】加算回路104Bにより、乗算回路101Bを介された1次フィルタの信号と、フィンガ25Aのループフィルタ92Aにおける乗算回路102、加算回路103、遅延回路105を介された2次ループフィルタ部の信号とが加算される。この加算回路104Bの出力により、クロック制御回路75Bが制御される。

【0077】フィンガ25Cにおける減算回路91Cの出力は、乗算回路101Cに供給されると共に、フィンガ25Aのループフィルタ92Aの加算回路106に供給される。乗算回路101Cには、係数Kが供給される。乗算回路101Cの出力が加算回路104Cに供給される。加算回路104Cには、フィンガ25Aのループフィルタ92Aの遅延回路105の出力が供給される。

【0078】加算回路104Cにより、乗算回路101Cを介された1次フィルタの信号と、フィンガ25Aのループフィルタ92Aにおける乗算回路102、加算回路103、遅延回路105を介された2次ループフィルタ部の信号とが加算される。加算回路104Cの出力により、クロック制御回路75Cが制御される。

【0079】このように、この発明が適用された携帯電話端末では、フィンガ25B、25Cのループフィルタ92B、92Cは1次フィルタ部のみとし、フィンガ25B、25Cのループフィルタ92B、92Cの2次ループフィルタ部は、フィンガ25Aのループフィルタ92Aの2次ループフィルタ部と共用されている。このため、回路規模の削減が図れる。

【0080】なお、上述の例では、フィンガ25Aのループフィルタ92Aに1次ループフィルタと2次ループフィルタを設け、フィンガ25B、25Cのループフィルタ92B、92Cの2次ループフィルタ部をフィンガ25Aのループフィルタ92Aの2次ループフィルタ部と共用しているが、2次ループフィルタを設けるフィンガは、フィンガ25A以外のものであっても良い。

【0081】また、図4に示すように、全てのフィンガ25A、25B、25Cのループフィルタ92A、92

B、92Cを、夫々、乗算回路101A、101B、101Cと、加算回路104A、104B、104Cとからなる1次ループフィルタのみとし、全てのフィンガ25A、25B、25Cのループフィルタで共用する2次ループフィルタ部110を別体に設けるようにしても良い。2次ループフィルタ部110には、2次ループフィルタ部を構成する係数Aの乗算回路102、加算回路103、遅延回路105、各フィルタの出力が供給される加算回路106とが設けられる。

10 【0082】

【発明の効果】この発明によれば、複数のフィンガでループフィルタの2次ループフィルタ部と共用されている。ドップラー効果等による周波数変動は、全てのパスに対して同様の周波数誤差を生じさせるので、このようにループフィルタの2次ループフィルタ部を各フィンガで共通に用いることにより、各フィンガのループフィルタを1次フィルタ部のみとすることができ、性能を劣化させることなく、回路規模の削減を図ることができる。

【図面の簡単な説明】

20 【図1】この発明が適用できるCDMA方式の携帯電話端末の全体構成を示すブロック図である。

【図2】この発明が適用できるCDMA方式の携帯電話端末におけるフィンガの一例を示すブロック図である。

【図3】この発明が適用できるCDMA方式の携帯電話端末におけるフィンガの説明に用いるタイミング図である。

【図4】この発明が適用できるCDMA方式の携帯電話端末におけるフィンガの他の例を示すブロック図である。

30 【図5】マルチパスの説明に用いる略線図である。

【図6】マルチパスの説明に用いる波形図である。

【図7】ダイバシティRAKE方式の説明に用いるブロック図である。

【図8】ダイバシティRAKE方式の受信機の一例のブロック図である。

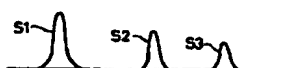
【図9】従来のフィンガの一例のブロック図である。

【図10】従来のループフィルタの一例のブロック図である。

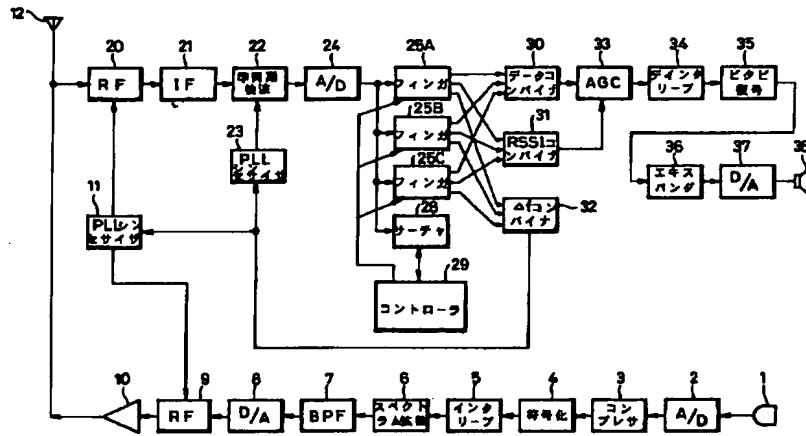
【符号の説明】

40 25A、25B、25C・・・フィンガ、28・・・サーチャ、92A、92B、92C・・・ループフィルタ

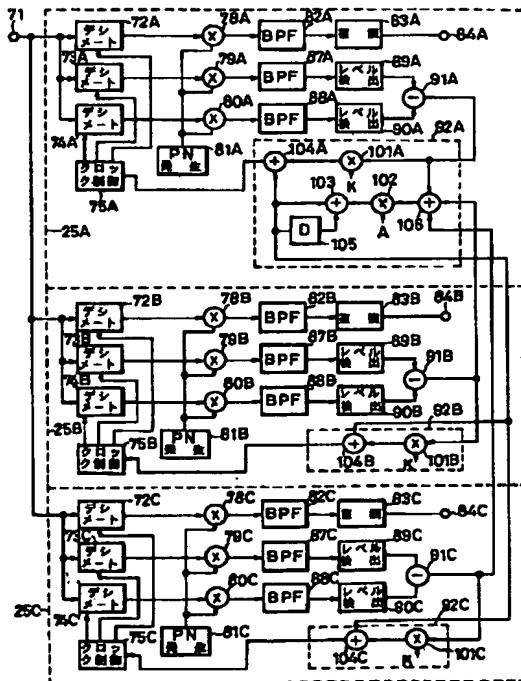
【図6】



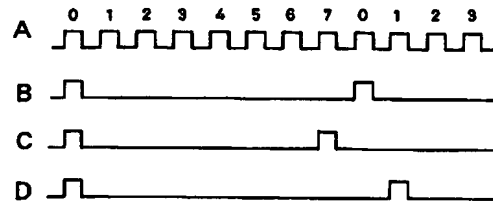
【図1】



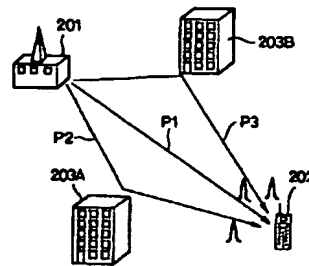
【図2】



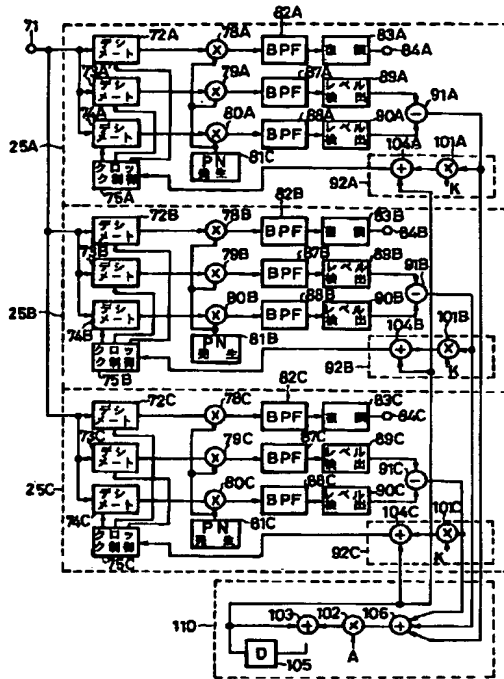
【図3】



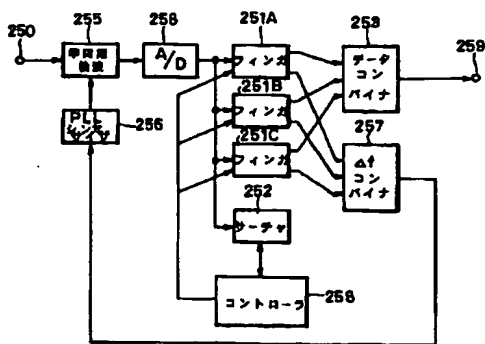
【図5】



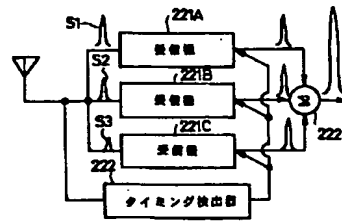
【図4】



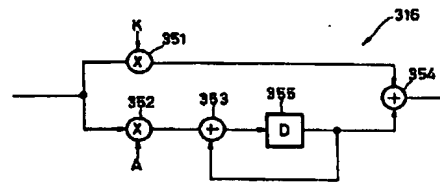
【図8】



【図7】



【図10】



【図9】

